

Docket No.: 57810-095

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277

Yasuhiro TAKEDA, et al. : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: March 30, 2004 : Examiner:

For: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

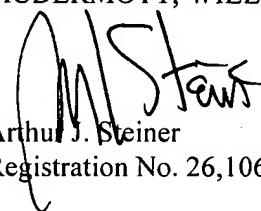
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-093420;
Japanese Patent Application No. 2003-094210;
Japanese Patent Application No. 2003-093431 &
all filed on March 31, 2003

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:prg
Facsimile: (202) 756-8087
Date: March 30, 2004

WDC99 898734-1.057810.0095



日本国特許庁
JAPAN PATENT OFFICE

57810-095
Takeda et al.
March 30, '04

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年 3月31日

出願番号
Application Number: 特願2003-093420

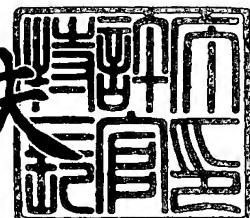
[ST. 10/C]: [JP2003-093420]

出願人
Applicant(s): 三洋電機株式会社

特許庁長官
Commissioner,
Japan Patent Office

2004年 2月10日

今井康夫





【書類名】 特許願

【整理番号】 NPC1030010

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/335

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 金田 和博

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 武田 安弘

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 小田 真弘

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 中野 勇男

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 第1導電型の半導体領域の表面上に形成されたゲート絶縁膜上にゲート電極を形成する第1の工程と、

少なくとも前記ゲート電極に、誘電率を低減する元素をイオン注入する第2の工程と、

前記ゲート電極の側面にサイドウォールスペーサを形成する第3の工程と、

少なくとも前記サイドウォールスペーサの上にシリコン窒化膜を形成する第4の工程と、

熱処理により前記誘電率を低減する元素を前記ゲート電極から前記サイドウォールスペーサに拡散させる第5の工程と、

を含む、半導体装置の製造方法。

【請求項 2】 前記第2の工程において、前記誘電率を低減する元素は、前記第1導電型の半導体領域にも注入され、

前記第5の工程において、熱処理により前記誘電率を低減する元素が前記第1導電型の半導体領域から前記サイドウォールスペーサにも拡散する、請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化に伴って、MOSトランジスタなどの微細化が進められている。MOSトランジスタを微細化した場合、ゲート電極とソース／ドレイン領域との間隔が小さくなる。これに伴い、ゲート電極とソース／ドレイン領域との間に形成されているサイドウォールスペーサを介して生じる寄生容量（オーバーラップ容量）が増大する。このようにオーバーラップ容量が増大すると

、MOSトランジスタの動作速度が低下するという不都合が生じる。このため、半導体集積回路の高速化を実現する上で、オーバーラップ容量の低減が非常に重要なとなってきている。

【0003】

そこで、従来、ゲート電極とソース／ドレイン領域との間のオーバーラップ容量を低減する方法が種々提案されている（例えば、特許文献1参照）。

【0004】

上記特許文献1には、ゲート電極とソース／ドレイン領域との間に位置するゲート絶縁膜部分を、フッ素を導入した低誘電率の酸化膜により形成することによって、オーバーラップ容量を低減する方法が提案されている。

【0005】

図18は、上記特許文献1において提案された従来の半導体装置のゲート電極付近の断面図である。図18を参照して、この提案された従来の半導体装置では、半導体基板101の表面上に、フッ素が導入されていない酸化膜102が形成されている。また、半導体基板101の表面上に、フッ素が導入されていない酸化膜102を挟むように、フッ素が導入された酸化膜103が形成されている。そして、フッ素が導入されていない酸化膜102とフッ素が導入された酸化膜103とによって、ゲート絶縁膜が形成されている。また、このゲート絶縁膜の上には、シリコン窒化膜からなるサイドウォールスペーサ105とポリシリコンからなるゲート電極104とが形成されている。

【0006】

このように、図18に示した従来の半導体装置では、サイドウォールスペーサ105の下に位置するゲート絶縁膜部分を、フッ素を導入した低誘電率の酸化膜103により形成することによって、ゲート電極104とソース／ドレイン領域（図示せず）との間に生じるオーバーラップ容量を低減することができる。

【0007】

図18に示した従来の半導体装置の製造プロセスについて、図19～図22を参照して説明する。

【0008】

まず、図19に示すように、半導体基板101の表面上に酸化物106を形成した後、フォトリソグラフィ技術とエッチング技術とを用いて、酸化膜106の所定部分を除去する。そして、エッチングにより露出された半導体基板101の表面上に、2nm～20nmの厚みを有する酸化膜103を形成した後、その酸化膜103にフッ素イオンを注入することによって、酸化膜103を低誘電率化する。その後、全面にシリコン窒化膜105aを堆積する。

【0009】

次に、シリコン窒化膜105aを異方性エッチングすることにより、図20に示すように、酸化膜106の内側面に、シリコン窒化膜からなるサイドウォールスペーサ105を形成する。この後、酸化膜23のうち、サイドウォールスペーサ105の下に位置しない部分をエッチングにより除去することによって、半導体基板101の表面を露出させる。

【0010】

図21に示すように、露出された半導体基板101の表面上に、2nm～10nmの厚みを有する酸化膜102を形成する。この後、全面に、ポリシリコン層104aを100nm～400nmの厚みで堆積する。

【0011】

この後、CMP (Chemical Mechanical Polishing) 法を用いて、ポリシリコン層104aの余分な堆積部分を除去することによって、図22に示すような形状が得られる。最後に、酸化膜106を除去することにより、図18に示したような半導体装置のゲート電極周辺が完成する。

【0012】

【特許文献1】

特開2000-323710号公報

【発明が解決しようとする課題】

しかしながら、図18に示した従来の半導体装置の製造方法では、低誘電率の酸化膜が形成される領域が小さいため、ゲート電極とソース／ドレイン領域との間のオーバーラップ容量を十分に低減するのは困難であるという問題点がある。

【0013】

この発明は、上記のような問題を解決するためになされたものであり、この発明の1つの目的は、ゲートソース／ドレイン領域間に生じるオーバーラップ容量を十分に低減することが可能な半導体装置の製造方法を提供することである。

【0014】

【課題を解決するための手段】

上記目的を達成するために、請求項1における半導体装置の製造方法は、第1導電型の半導体領域の表面上に形成されたゲート絶縁膜上にゲート電極を形成する第1の工程と、少なくともゲート電極に、誘電率を低減する元素をイオン注入する第2の工程と、ゲート電極の側面にサイドウォールスペーサを形成する第3の工程と、少なくとも前記サイドウォールスペーサの上にシリコン窒化膜を形成する第4の工程と、熱処理により誘電率を低減する元素を前記ゲート電極からサイドウォールスペーサに拡散させる第5の工程とを含むことをその要旨とする。

【0015】

請求項1では、上記のように、ゲート電極にイオン注入された誘電率を低減する元素を熱処理によりサイドウォールスペーサに拡散させるため、サイドウォールスペーサの誘電率を低減することができるので、ゲート電極とソース／ドレイン領域との間の絶縁膜の誘電率を十分に小さくすることができる。その結果、ゲート電極とソースドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【0016】

請求項2による半導体装置の製造方法では、誘電率を低減する元素は、第1導電型の半導体領域にも注入され、第5の工程において、熱処理により誘電率を低減する元素が第1導電型の半導体領域からサイドウォールスペーサにも拡散する。このようにすれば、誘電率を低減する元素が第1導電型の半導体領域からもサイドウォールスペーサに拡散する。従って、サイドウォールスペーサの誘電率を十分に低減することができるので、ゲート電極とソース／ドレイン領域との間の絶縁膜の誘電率を十分に小さくすることができる。その結果、ゲート電極とソースドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態を図面に基いて説明する。

【0018】

図1は、本発明の一実施形態による半導体装置（CMOSインバータ）の構造を示した断面図であり、図2は図1に示す半導体装置のnチャネルMOSトランジスタ部分の拡大断面図である。図1および図2を参照して、この一実施形態による半導体装置では、本発明を、nチャネルMOSトランジスタとpチャネルMOSトランジスタを相補的に機能させたCMOSインバータに適用した例について説明する。

【0019】

本実施形態による半導体装置では、図1に示すように、p型単結晶シリコン基板1の主表面の所定領域に、隣接する素子形成領域（活性領域）間を分離するためのSTI（Shallow Trench Isolation）構造を有する素子分離2a、2bおよび2cが形成されている。また、p型単結晶シリコン基板1のnチャネルMOSトランジスタが形成される領域には、pウェル領域12aが形成されており、pチャネルMOSトランジスタが形成される領域には、nウェル領域12bが形成されている。また、pウェル領域12a内には、チャネル領域1aを挟むように、所定の間隔を隔てて、一対のソース／ドレイン領域5が形成されている。このnチャネルMOSトランジスタのソース／ドレイン領域5は、低濃度不純物領域5aと高濃度不純物領域5bとからなるLDD（Lightly Doped Drain）構造を有する。チャネル領域1a上には、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜3を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極4aが形成されている。一対のn型のソース／ドレイン領域5とゲート絶縁膜3とゲート電極4aとによって、nチャネルMOSトランジスタが形成されている。

【0020】

また、nウェル領域12b内には、チャネル領域1bを挟むように、所定の間隔を隔てて、一対のソース／ドレイン領域15が形成されている。このpチャネ

ルMOSトランジスタのソース／ドレイン領域15は、低濃度不純物領域15aと高濃度不純物領域15bとからなるLDD（Lightly Doped Drain）構造を有する。チャネル領域1b上には、約2nm～約10nmの厚みを有するシリコン酸化物からなるゲート絶縁膜3を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極4bが形成されている。一対のn型のソース／ドレイン領域15とゲート絶縁膜3とゲート電極4bとによって、pチャネルMOSトランジスタが形成されている。

【0021】

また、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタを構成するゲート電極4aおよび4bの側面には、シリコン酸化膜からなるサイドウォールスペーサ7がそれぞれ形成されている。ゲート電極4aおよび4bの上面上およびソース／ドレイン領域5および15を構成する高濃度不純物領域5bおよび15bの上面上には、それぞれ、 CoSi_2 からなるシリサイド膜8aおよび8bが形成されている。

【0022】

また、全面を覆うように、約1000nmの厚みを有するシリコン酸化膜からなる層間絶縁膜9が形成されている。この層間絶縁膜9は、それぞれ、シリサイド膜8aおよび8bに達するコンタクトホール9a、9b、9cおよび9dを有する。コンタクトホール9a、9b、9cおよび9d内には、それぞれ、タングステンからなるプラグ10a、10b、10cおよび10dが埋め込まれている。プラグ10a、10b、10cおよび10dにそれぞれ接続するように配線11aおよび11bが形成されている。なお、配線11aおよび11bは、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる。

【0023】

上記したnチャネルMOSトランジスタのn型のソース／ドレイン領域5と、pチャネルMOSトランジスタのソース／ドレイン領域15とは、プラグ10bとプラグ10dと上層配線11bとを介して接続されている。また、nチャネルMOSトランジスタのゲート電極4aと、pチャネルMOSトランジスタのゲ

ト電極4bとは、プラグ10aと10cと上層配線11aと更に上層に位置する図示しない配線とを介して接続されている。これにより、CMOSインバータが構成されている。

【0024】

ここで、本実施形態による半導体装置では、図2に示すように、nチャネルMOSトランジスタのサイドウォールスペーサ6の内部と、ソース／ドレイン領域5を構成する低濃度不純物領域5aおよび高濃度不純物領域5bのゲート絶縁膜3の近傍領域とに、それぞれ、フッ素が導入されている。これにより、サイドウォールスペーサ6の誘電率と、ソース／ドレイン領域5を構成する低濃度不純物領域5aおよび高濃度不純物領域5bのゲート絶縁膜3の周辺領域の誘電率とが、十分に小さくなる。また、pチャネルMOSトランジスタについても同様に、サイドウォールスペーサ6の内部と、ソース／ドレイン領域15を構成する低濃度不純物領域15aおよび高濃度不純物領域15bのゲート絶縁膜3の近傍領域とに、それぞれフッ素が導入されているため、サイドウォールスペーサ6の誘電率と、ソース／ドレイン領域5を構成する低濃度不純物領域15aおよび高濃度不純物領域15bのゲート絶縁膜3の周辺領域の誘電率とが、十分に小さくなる。

【0025】

図3には、pチャネルMOSトランジスタのサイドウォールスペーサとソース／ドレイン領域周辺とに、フッ素を導入した場合と導入しない場合との、オーバーラップ容量を示す実測データが示されている。図3から分かるように、ゲート電極の周辺長が約13.4mm～約130.4mmの範囲において、フッ素イオンを注入した場合のオーバーラップ容量は、フッ素イオンを注入しない場合のオーバーラップ容量と比較して約10%小さい。

【0026】

上記のように、この本実施形態による半導体装置では、nチャネルMOSトランジスタのソース／ドレイン領域5およびpチャネルMOSトランジスタのソース／ドレイン領域15に生じるオーバーラップ容量をともに低減することができる。

【0027】

図4～図18は、図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。図1、図2および図4～図18を参照して、本実施形態による半導体装置（CMOSインバータ）の製造プロセスについて説明する。

【0028】

まず、図4に示すように、p型単結晶シリコン基板1の主表面の所定の領域に、活性領域を分離するためのSTI構造を有する素子分離2a、2bおよび2cを形成する。この後、p型単結晶シリコン基板1の表面を酸化することによって、シリコン酸化膜からなる犠牲酸化膜13を形成する。

【0029】

次に、図5に示すように、nチャネルMOSトランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜14aを形成する。この後、レジスト膜14aをマスクとして、上記した犠牲酸化膜13を介して、p型単結晶シリコン基板1に、リン（P）を、約380keVの注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、nウェル領域12bを形成する。更に、砒素（As）を、約100keV～約140keVの注入エネルギーおよび約 $0.5 \times 10^{12} \text{ cm}^{-2}$ ～約 $4 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域1bの不純物濃度を調整することにより、しきい電圧の最適化を行う。この後、レジスト膜14aを除去する。

【0030】

次に、図6に示すように、pチャネルMOSトランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜14bを形成する。この後、上記した犠牲酸化膜13を介して、p型単結晶シリコン基板1に、ボロン（B）を、約190keVの注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、pウェル領域12aを形成する。更に、ボロン（B）を、約10keV～約30keVの注入エネルギーおよび約 $1 \times 10^{12} \text{ cm}^{-2}$ ～約 $5 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域1aの不純物濃度を調整することにより、しきい値電圧の最適化を行う。この後

、レジスト膜14bを除去する。

【0031】

次に、図7に示すように、NO雰囲気中でアニールすることにより、p型単結晶シリコン基板1の表面に、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜3を形成する。この後、CVD法により、全面に多結晶シリコン膜（図示せず）を約150nm～約200nmの厚みで堆積した後、通常のフォトリソグラフィー工程とRIE（R e a c t i v e I o n E t c h i n g）によるエッチング技術とを用いて、その多結晶シリコン膜をパターンニングする。これにより、多結晶シリコン膜からなるゲート電極4aおよび4bを形成する。上記したエッチングにより、ゲート絶縁膜3は、大きなダメージを受ける。そこで、この後、ゲート絶縁膜3を再酸化する。

【0032】

次に、図8に示すように、pチャネルMOSトランジスタが形成される領域にレジスト膜16aを形成する。その後、pウェル領域12aの主表面に、リン（P）を約30keVの注入エネルギー、約 $0.5 \times 10^{13} \text{ cm}^{-2}$ ～約 $3 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板1を90度ずつ回転させながら4回イオン注入する。これにより、nチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域（ソース／ドレイン・エクステンション領域）5aを形成する。この後、レジスト膜16aを除去する。

【0033】

次に、図9に示すように、nチャネルMOSトランジスタが形成される領域にレジスト膜16bを形成する。その後、nウェル領域12bの主表面に、2フッ化ホウ素（BF₂）を約15keVの注入エネルギー、約 $1 \times 10^{13} \text{ cm}^{-2}$ ～約 $7 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板1を90度ずつ回転させながら4回イオン注入する。これにより、pチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域15aを形成する。この後、レジスト膜16bを除去する。これによって、図10に示す状態となる。

【0034】

次に、図11に示すように、全面に、フッ素(F)を約10keVの注入エネルギーおよび約 $3 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入する。これにより、ゲート電極にフッ素イオンが注入されると共に、pウェル領域12aおよびnウェル領域12bにフッ素が導入されたフッ素領域17が形成される。

【0035】

次に、図12に示すように、熱CVD法を用いて、全面にシリコン酸化膜を約650°C～約830°Cの温度で堆積する。このシリコン酸化膜をRIEを用いてエッチバックすることによって、図13に示すように、ゲート電極4aおよび4bの側面にシリコン酸化膜からなるサイドウォールスペーサ6を形成する。なお、上記したエッチバックの際に、ゲート絶縁膜3のうち、ゲート電極4a、4bおよびサイドウォールスペーサ6の直下にある領域以外は除去される。

【0036】

次に、図14に示すように、全面に約5nm～約20nmの厚みを有するシリコン塗化膜7を堆積する。このシリコン塗化膜7は、後工程で行うソース／ドレイン領域を構成する高濃度不純物領域5bおよび15bを形成するためのイオン注入の際に、チャネリングを防止するため、および後の熱処理時にフッ素が外方拡散することを抑制するために形成する。

【0037】

次に、図15に示すように、pチャネルMOSトランジスタが形成される領域にレジスト膜18aを形成する。その後、p型単結晶シリコン基板1に、砒素(As)を約45keVの注入エネルギーおよび約 $1 \times 10^{15} \text{ cm}^{-2}$ ～約 $8 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入にすることにより、nチャネルMOSトランジスタのソース／ドレイン領域5を構成する高濃度不純物領域5bを形成する。この後、レジスト膜18aを除去する。

【0038】

次に、図16に示すように、nチャネルMOSトランジスタが形成される領域にレジスト膜18bを形成する。その後、ボロン(B)を約7keVの注入エネルギーおよび約 $3 \times 10^{15} \text{ cm}^{-2}$ ～約 $10 \times 10^{15} \text{ cm}^{-2}$ の注入量でイオン注入にすることにより、ソース／ドレイン領域15を構成する高濃度不純物領域15b

を形成する。この後、レジスト膜18bを除去する。そして、RTA (Rapid Thermal Annealing) 法で約700°C～約1100°Cで、約0.1秒～約60秒間の熱処理を行うことによって、高濃度不純物領域5bに注入した砒素 (As) および高濃度不純物領域15bに注入したボロン (B) を活性化する。

【0039】

上記した低濃度不純物領域25aおよび35aと高濃度不純物領域25bおよび35bとによって、LDD (Lightly Doped Drain) 構造の一対のソース／ドレイン領域5および15が構成される。

【0040】

なお、上記した熱処理により、ゲート電極4aおよび4bに存在するフッ素はサイドウォールスペーサ6内に拡散される。また、pウェル領域12aおよびnウェル領域12b内に存在するフッ素領域17のフッ素も、サイドウォールスペーサ6およびソース／ドレイン領域5および15を構成する低濃度不純物領域5aおよび15aと、高濃度不純物領域5bおよび15bにおけるゲート絶縁膜3の近傍領域とに拡散される。このとき、シリコン窒化膜7により、フッ素がp型単結晶シリコン基板1の外に拡散されるのを防止する。これにより、nチャネルMOSトランジスタにおけるフッ素の分布は、図2に示すようになる。また、pチャネルMOSトランジスタにおけるフッ素の分布も同様である。

【0041】

この後、シリコン窒化膜7を除去する。図17に示すように、シリコン窒化膜7を除いた領域にサリサイド (self-aligned silicide) プロセスを用いて、多結晶シリコンからなるゲート電極4aおよび4bの上面と、ソース／ドレイン領域を構成する高濃度不純物領域5bおよび15bの上面上とに、それぞれ自己整合的に、コバルトシリサイド (CoSi₂) からなるシリサイド膜8aおよび8bを形成する。

【0042】

この後、図1に示したように、CVD法を用いて層間絶縁膜9を形成した後、所定領域に、フォトリソグラフィ技術とRIEなどのドライエッチング技術とを

用いて、コンタクトホール9a、9b、9cおよび9dを形成する。このコンタクトホール9a、9b、9cおよび9d内にCVD法でタンゲステンを埋め込むことにより、プラグ10a、10b、10cおよび10dを形成する。最後に、層間絶縁膜9の上面上に、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる積層膜を形成した後、この積層膜をパターニングすることにより、上層配線32aおよび32bを形成する。このようにして、本実施形態によるCMOSインバータ（半導体装置）が完成する。

【0043】

本実施形態では、上記のように、ゲート電極4aおよび4bにイオン注入したフッ素を熱拡散によりnチャネルMOSトランジスタおよびpチャネルMOSトランジスタのサイドウォールスペーサ6を構成するシリコン酸化膜に拡散させる。従って、サイドウォールスペーサの誘電率を低減することができるため、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタのゲート電極4aおよび4bとソース／ドレイン領域5および15との間に生じるオーバーラップ容量を十分に低減することができる。

【0044】

更に、本実施形態では、上記のように、pウェル領域12aおよびnウェル領域12b内に存在するフッ素領域17からも、フッ素をnチャネルMOSトランジスタおよびpチャネルMOSトランジスタのサイドウォールスペーサ6を構成するシリコン酸化膜に拡散させる。従って、サイドウォールスペーサの誘電率を更に低減することができるため、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタのゲート電極4aおよび4bとソース／ドレイン領域5および15との間に生じるオーバーラップ容量を十分に低減することができる。

【0045】

更に、本実施形態では、サイドウォールスペーサ6の形成後に、全面にシリコン窒化膜7を形成している。このため、ゲート電極4aおよび4bにイオン注入されたフッ素を、熱処理によりサイドウォールスペーサ内に拡散させる際に、フッ素がサイドウォールスペーサの外に拡散されない。従って、サイドウォールス

ペーサ6を構成するシリコン酸化膜の誘電率を十分に低減することができるため、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタのソース／ドレイン領域5および15に生じるオーバーラップ容量をより十分に低減することができる。

【0046】

なお、今回開示された実施形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内の全ての変更が含まれる。

【0047】

例えば、上記実施形態では、CMOSインバータの形成方法について説明したが、本発明はこれに限らず、nチャネルMOSトランジスタまたはpチャネルMOSトランジスタの何れか一方について、本発明を適用しても良い。

【0048】

また、上記実施形態では、フッ素を導入することによりオーバーラップ容量を低減したが、本発明はこれに限らず、フッ素以外の誘電率を低減する元素を導入しても、同様の効果を得ることができる。フッ素以外の誘電率を低減する元素としては、例えば、炭素が考えられる。

【0049】

また、上記実施形態では、サイドウォールスペーサを構成するシリコン酸化膜（絶縁膜）を形成する方法として熱CVDを用いたが、プラズマCVDを用いて絶縁膜を形成してサイドウォールスペーサを形成した後、約400℃の温度で熱処理を行っても良い。このようにしても、ゲート電極中のフッ素をサイドウォールスペーサに拡散することが可能である。

【0050】

また、上記実施形態では、フッ素が導入されたサイドウォールスペーサを構成する材料として、シリコン酸化膜を用いたが、本発明はこれに限らず、シリコン酸化膜以外のSiを含む絶縁膜から成るサイドウォールスペーサにフッ素を導入するようにしても良い。また、Siを含まない絶縁膜からなるサイドウォールス

ペーサにフッ素を導入するようにしても良い。

【0051】

また、上記実施形態では、フッ素を約10k eVの注入エネルギーおよび約 $3 \times 10^{15} \text{ c m}^{-2}$ の注入量でイオン注入したが、約5k eV～約30k eVの注入エネルギーおよび約 $1.5 \times 10^{15} \text{ c m}^{-2}$ ～約 $5.0 \times 10^{15} \text{ c m}^{-2}$ の注入量でイオン注入するようにしても良い。

【0052】

また、上記実施形態では、図17に示すようにサリサイド工程において、シリコン窒化膜7を全て除去したが、シリサイドの形成が不要な領域もしくは不都合な領域のシリコン窒化膜7を残しても良い。この場合、図16におけるレジスト膜18bを除去した後、CVD法で全面にシリコン酸化膜を形成する。そして、シリサイド膜の形成が不要な領域もしくは不都合な領域にシリコン窒化膜7とシリコン酸化膜との積層膜を残すように、フォトリソグラフィ技術とウェットエッチング技術とを用いてパターニングする。これにより、サリサイド工程において、シリコン窒化膜7とシリコン酸化膜の積層膜が残っている部分にシリサイド膜を形成しないようにすることができる。従って、図16に示すようにシリコン窒化膜7が全て除去される領域、シリコン窒化膜7が一部のみ残っている領域（図示せず）、およびシリコン窒化膜7が全て残っている領域（図示せず）を形成してもよい。

【0053】

また、上記実施形態では、コンタクトホール内に、タングステンからなるプラグを直接埋め込んだが、タングステンからなるプラグを埋め込む前に、約10nmの厚みを有するTi層と約10nmの厚みを有するTiN層とで構成されるバリア層を形成するようにしても良い。

【0054】

【発明の効果】

以上のように、本発明によれば、半導体装置のゲート電極とソース／ドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態による半導体装置を示した断面図である。

【図2】

図1に示した本発明の一実施形態による半導体装置のMOSトランジスタ周辺の拡大図である。

【図3】

フッ素イオンを注入した場合と注入しない場合における、ゲート電極の周辺長とゲート電極—ソース／ドレイン間に生じるオーバーラップ容量との関係を示す図である。

【図4】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図5】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図6】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図7】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図8】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図9】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図10】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明する

ための断面図である。

【図11】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図12】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図13】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図14】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図15】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図16】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図17】

図1に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図18】

従来の半導体装置を示した断面図である。

【図19】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図20】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図21】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図22】

従来の半導体装置の製造プロセスを説明するための断面図である。

【符号の説明】

1 p型単結晶シリコン基板（半導体領域）

3 ゲート絶縁膜

4 a、4 b ゲート電極

5、15 ソース／ドレイン領域

5 a、15 a 低濃度不純物領域

5 b、15 b 高濃度不純物領域

6 サイドウォールスペーサ

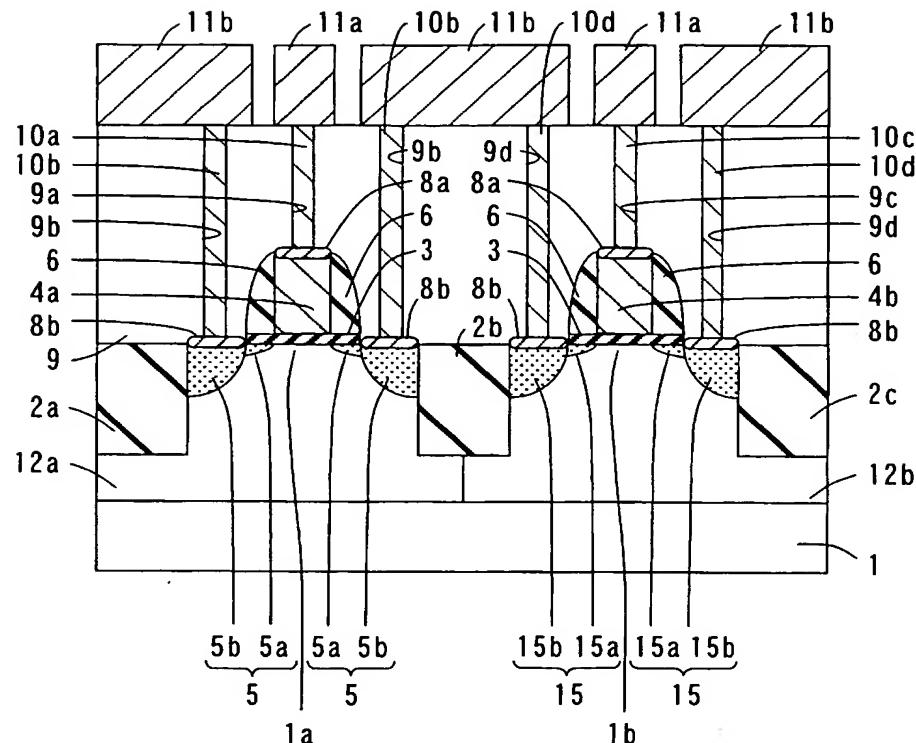
12 a pウェル領域

12 b nウェル領域

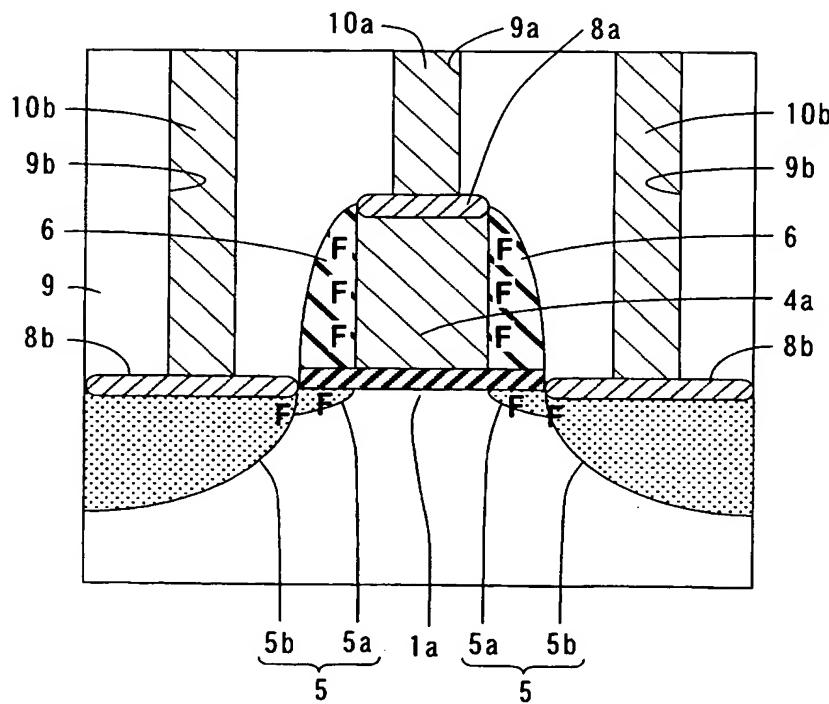
【書類名】

図面

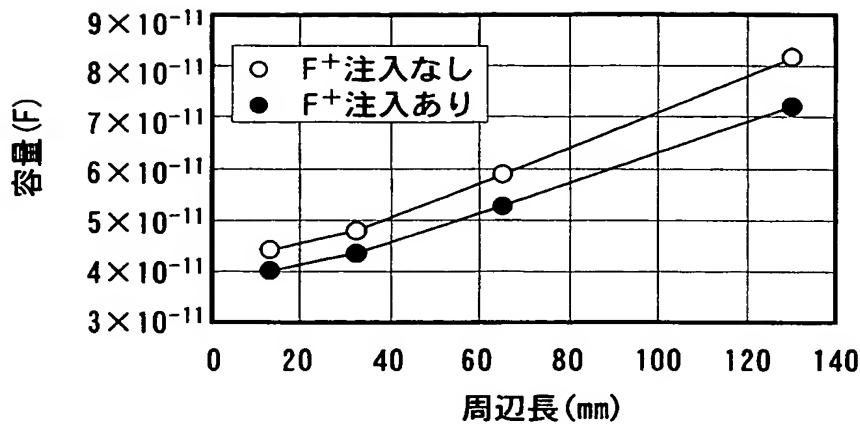
【図 1】



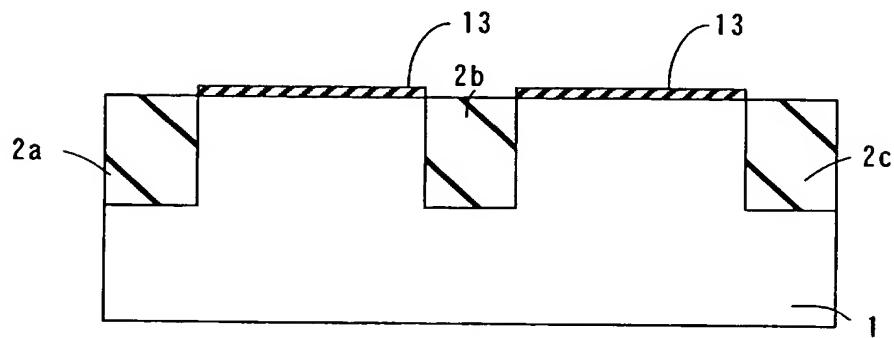
【図 2】



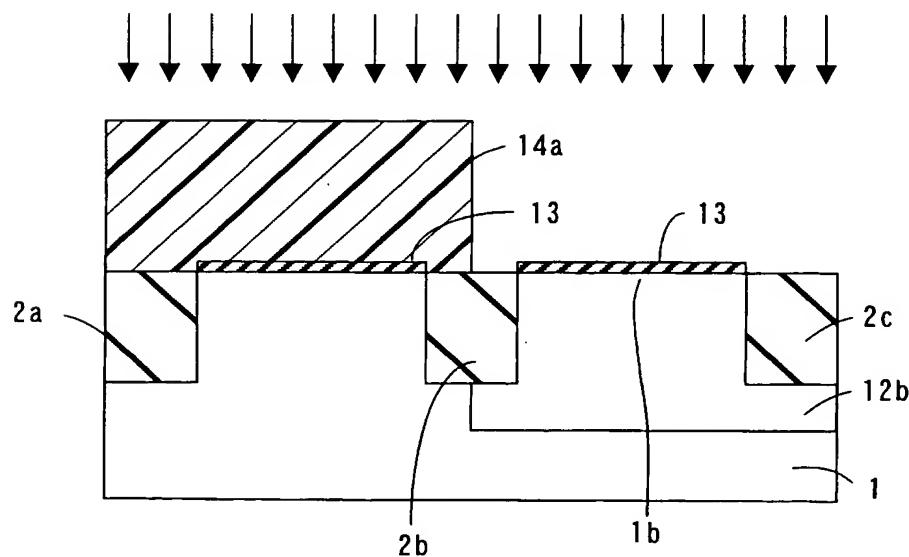
【図3】



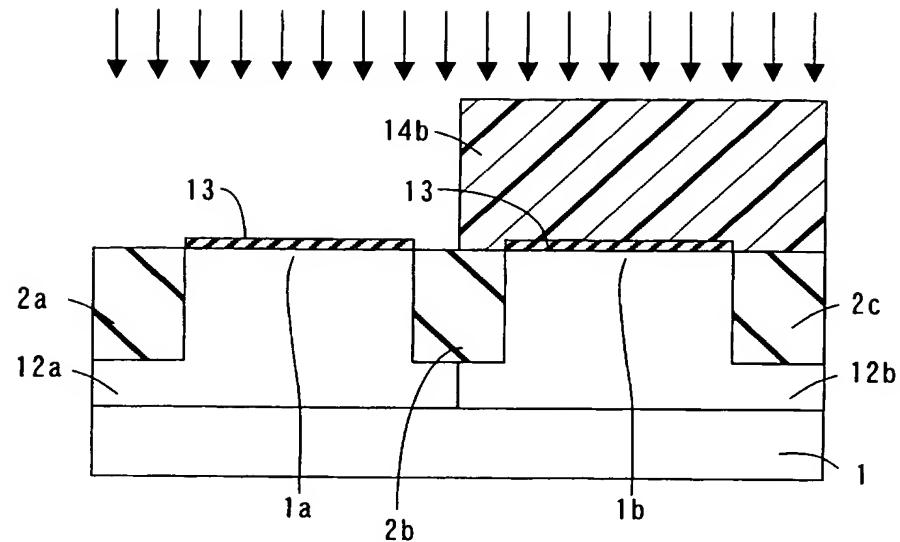
【図4】



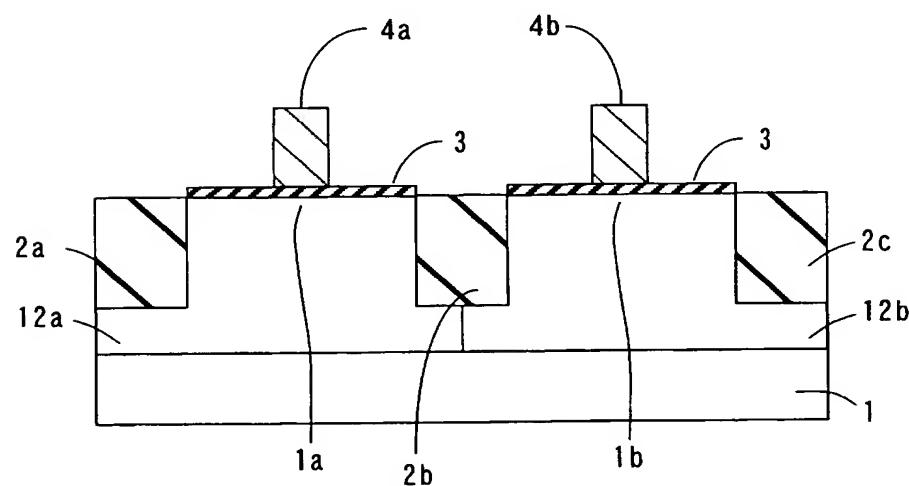
【図5】



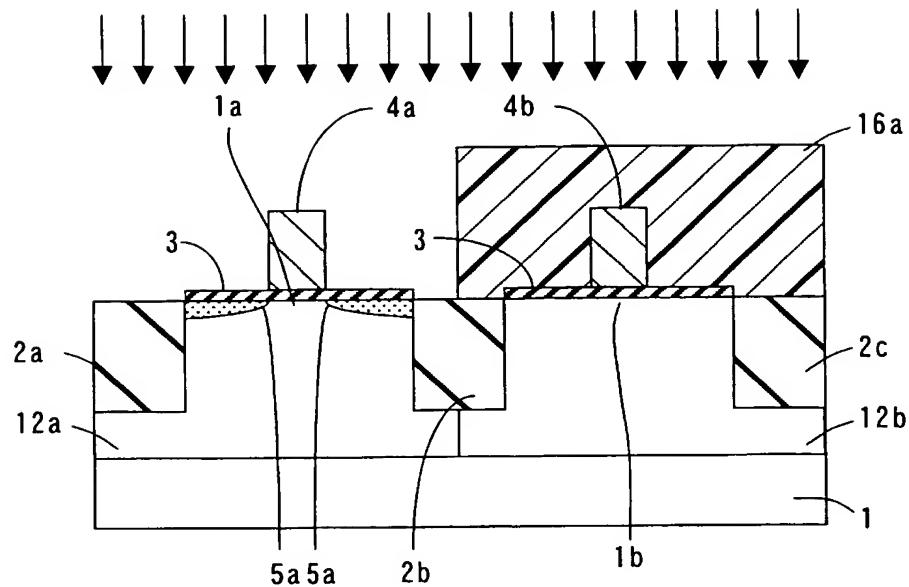
【図6】



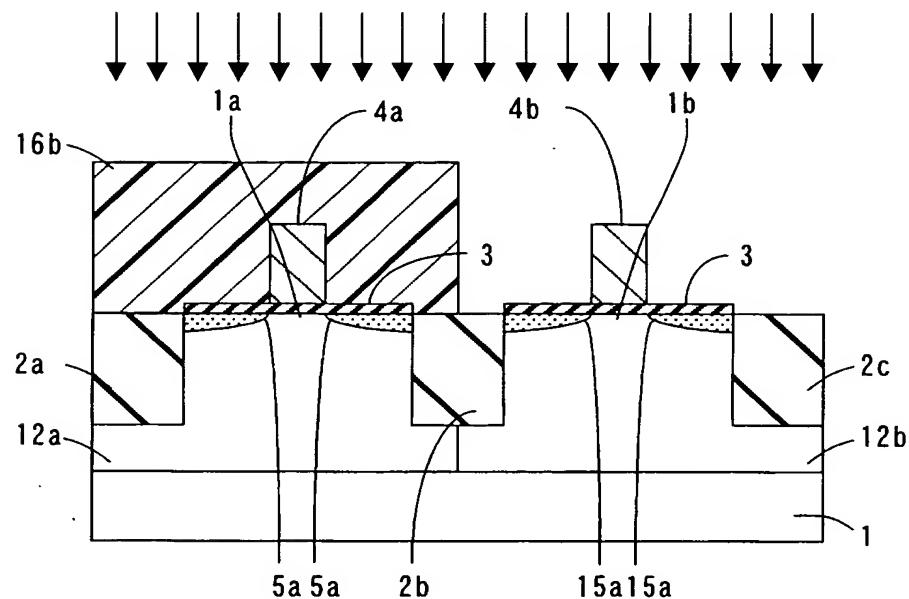
【図7】



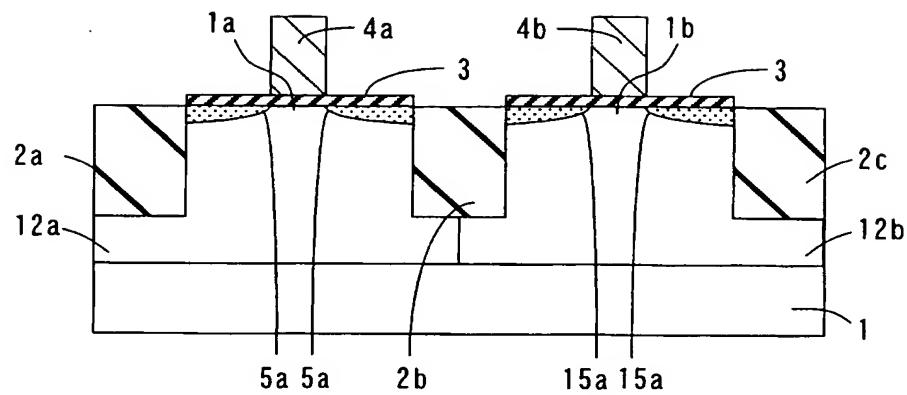
【図8】



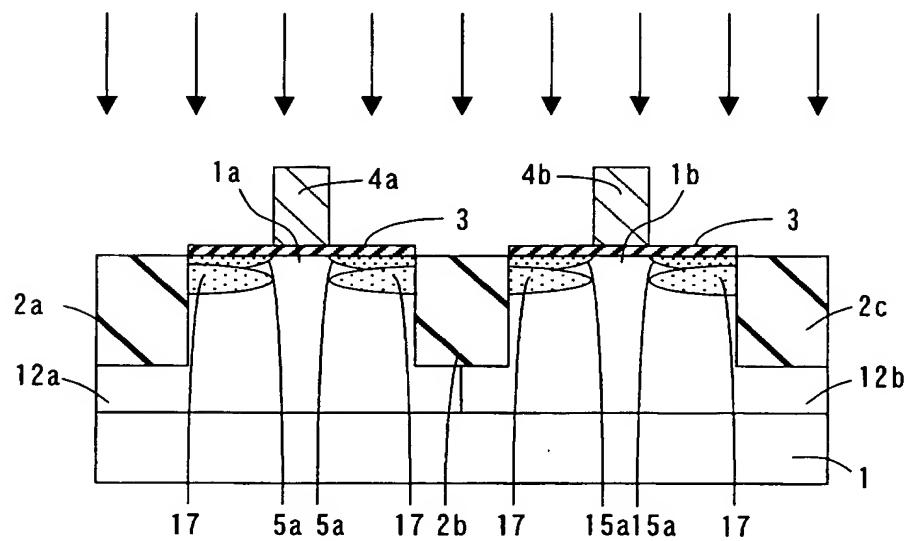
【図9】



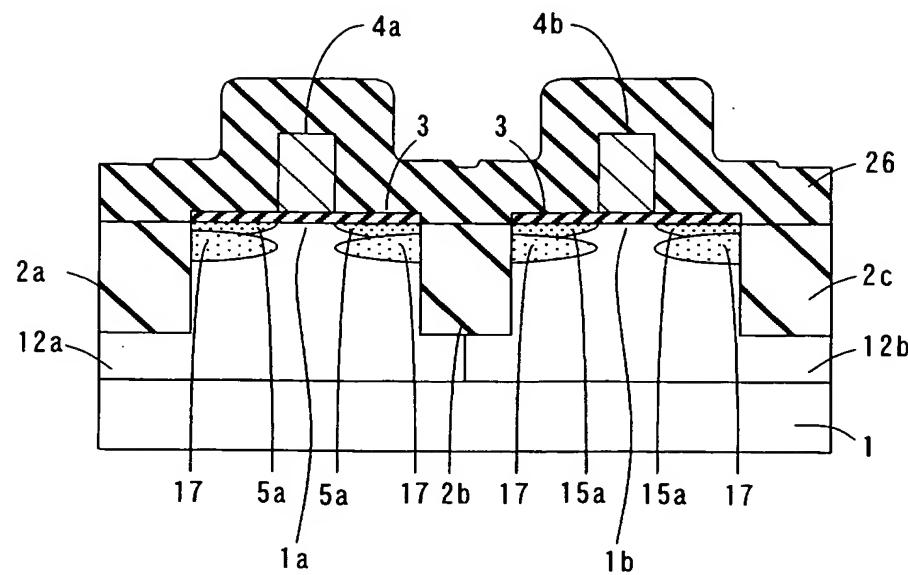
【図10】



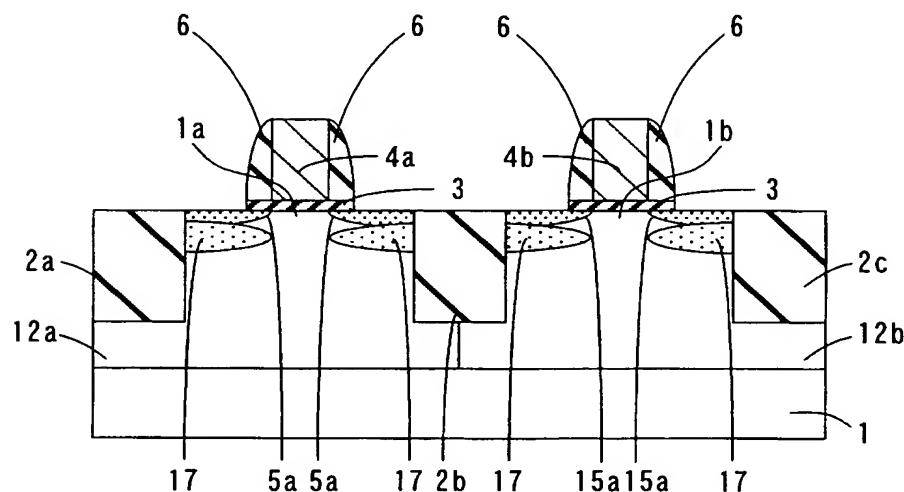
【図11】



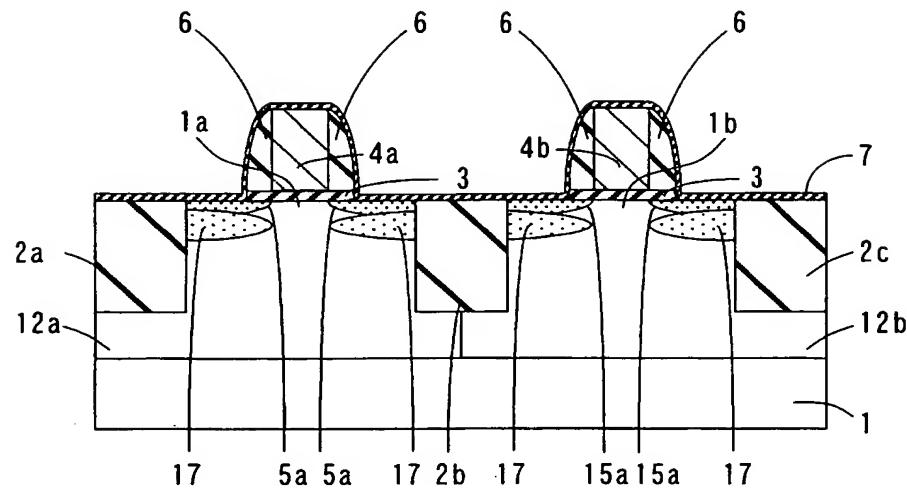
【図12】



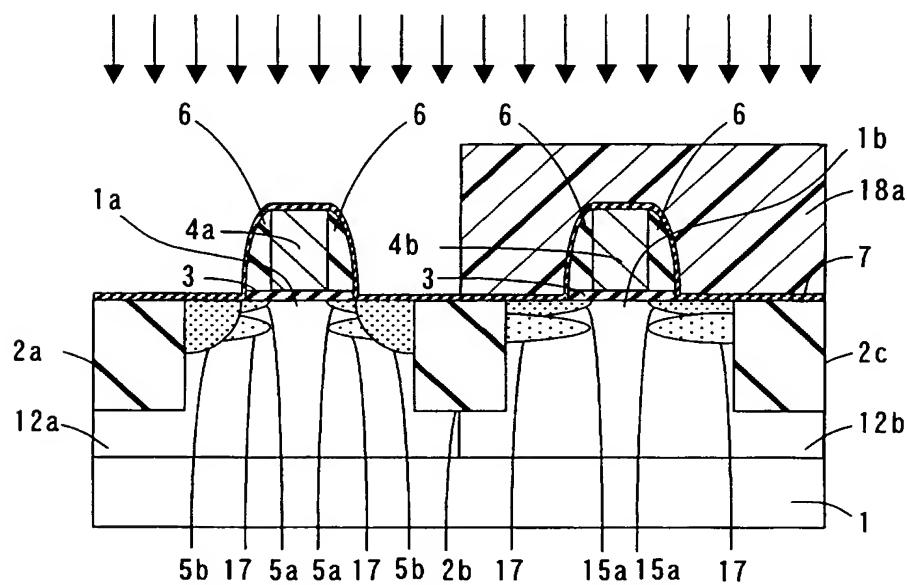
【図13】



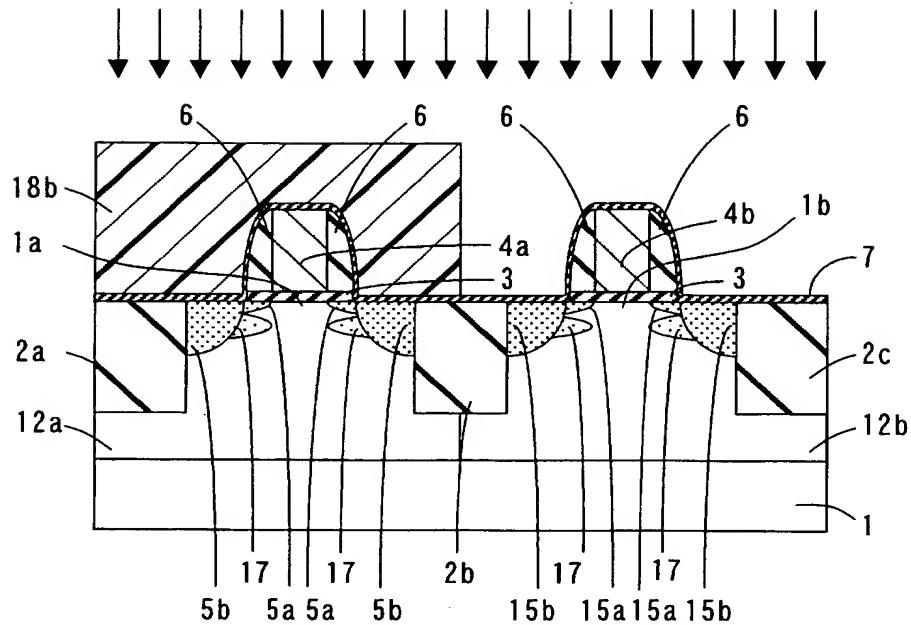
【図14】



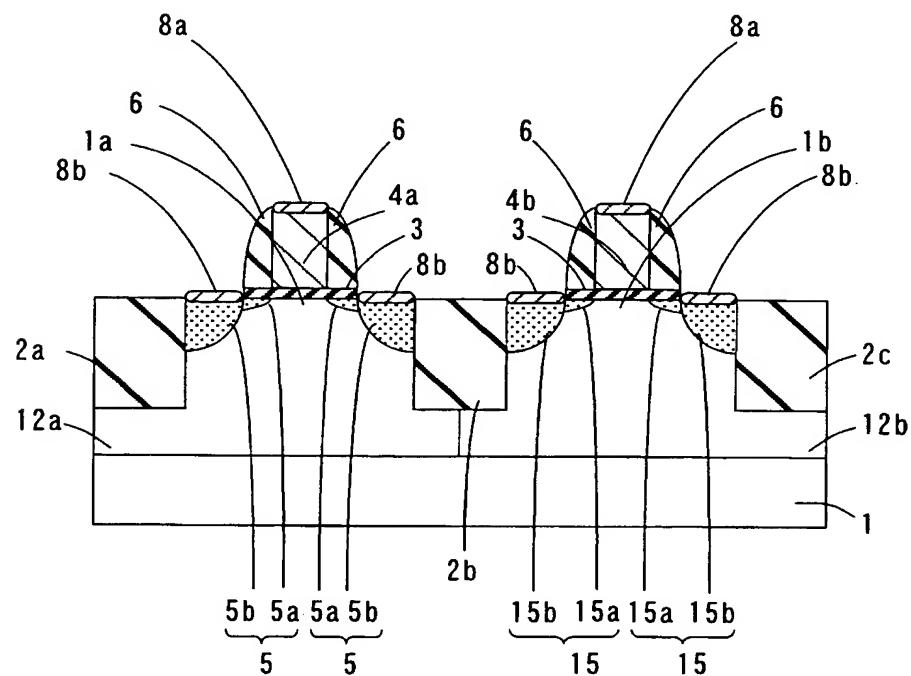
【図15】



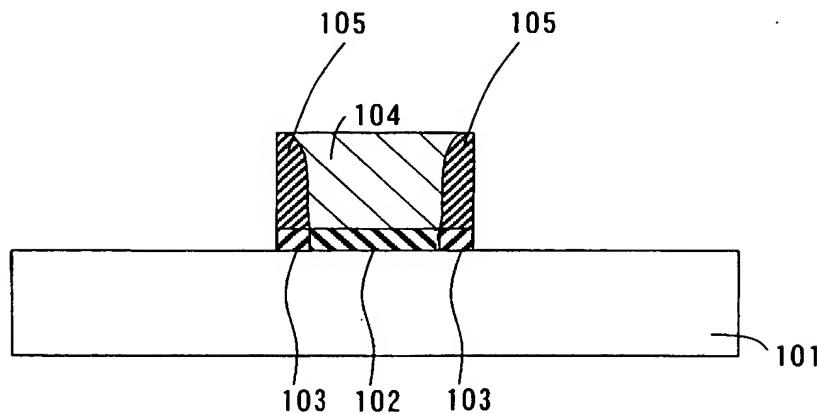
【図 16】



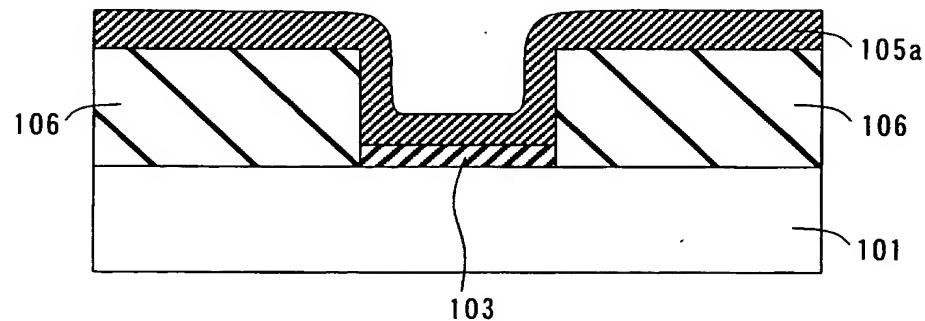
【図 17】



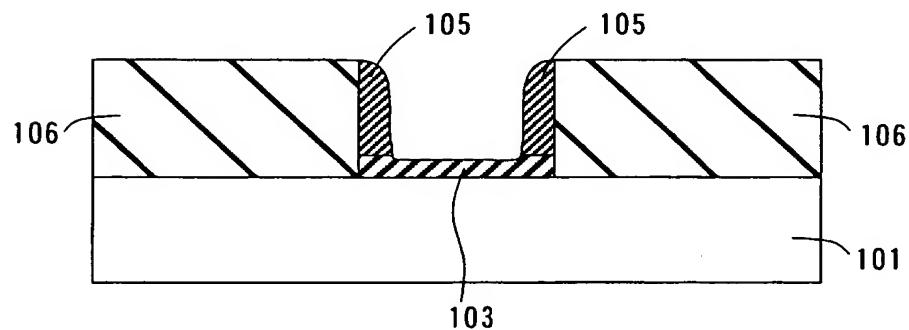
【図18】



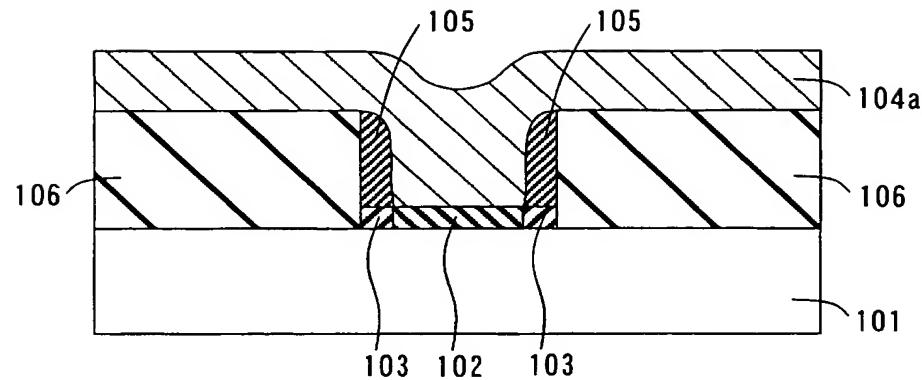
【図19】



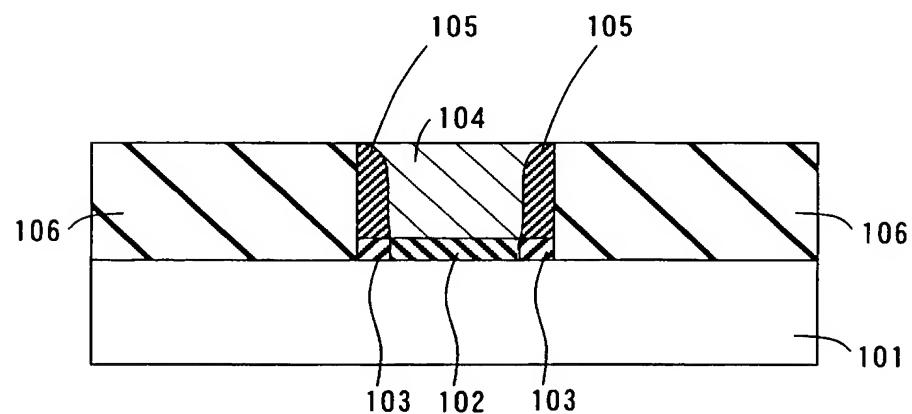
【図20】



【図21】



【図22】



【書類名】 要約書

【要約】

【課題】 ゲート電極とソース／ドレイン領域との間に生じるオーバーラップ容量を十分に低減することが可能な、半導体装置の製造方法を提供する。

【解決手段】 この半導体装置の製造方法は、pウェル領域12a（nウェル領域12b）の表面上に形成されたゲート絶縁膜3上にゲート電極4a（4b）を形成する第1の工程と、少なくともゲート電極4a（4b）に、誘電率を低減する元素をイオン注入する第2の工程と、ゲート電極4a（4b）の側面にサイドウォールスペーサ6を形成する第3の工程と、少なくともサイドウォールスペーサ6の上にシリコン窒化膜7を形成する第4の工程と、熱処理により誘電率を低減する元素をゲート電極4a（4b）からサイドウォールスペーサ6に拡散させる第5の工程とを含む。

【選択図】 図2

特願 2003-093420

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住所 大阪府守口市京阪本通2丁目5番5号
氏名 三洋電機株式会社